

710
6-802

Patent
Attorney's Docket No. 018656-248

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of)
Tomokazu KAKUMOTO et al) Group Art Unit: Unassigned
Application No.: Unassigned) Examiner: Unassigned
Filed: November 20, 2001)
For: SCANNING CIRCUIT, AND IMAGING)
APPARATUS HAVING THE SAME)

11017 U.S. PTO
09/98528
11/20/01

CLAIM FOR CONVENTION PRIORITY

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior application in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed:

Japanese Patent Application No. 00-0353920;

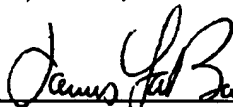
Filed: November 21, 2000.

In support of this claim, enclosed is a certified copy of the prior foreign application. This application is referred to in the oath or declaration. Acknowledgment of receipt of this certified copy is requested.

Respectfully submitted,

BURNS, DOANE, SWECKER & MATHIS, L.L.P.

Date: November 20, 2001

By: 
James A. LaBarre
Registration No. 28,632

P.O. Box 1404
Alexandria, Virginia 22313-1404
(703) 836-6620

日 本 国 特 許 庁

JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年11月21日

出 願 番 号

Application Number:

特願2000-353920

出 願 人

Applicant(s):

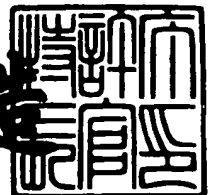
ミノルタ株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 9月12日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3084066

特2000-353920

【書類名】 特許願
【整理番号】 TL03942
【提出日】 平成12年11月21日
【あて先】 特許庁長官 殿
【国際特許分類】 H04N 01/04
【発明の名称】 走査回路及びそれを備えた撮像装置
【請求項の数】 8
【発明者】 大阪市中央区安土町二丁目3番13号 大阪国際ビル
【住所又は居所】 ミノルタ株式会社内
角本 兼一
【氏名】
【発明者】 大阪市中央区安土町二丁目3番13号 大阪国際ビル
【住所又は居所】 ミノルタ株式会社内
萩原 義雄
【氏名】
【特許出願人】 000006079
【識別番号】 ミノルタ株式会社
【氏名又は名称】
【代理人】 100085501
【識別番号】
【弁理士】 佐野 静夫
【氏名又は名称】
【選任した代理人】 100111811
【識別番号】
【弁理士】 山田 茂樹
【氏名又は名称】
【手数料の表示】
【予納台帳番号】 024969
21,000円

出証特2001

特2000-35392.0

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9716119

【包括委任状番号】 0000030

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 走査回路及びそれを備えた撮像装置

【特許請求の範囲】

【請求項 1】 直列に接続される n (n は 2 以上の整数) 段の転送段と、
 k (k は、 $1 \leq k \leq n$ の自然数) 段目への転送段の入力と、 k 段目の転送段からの出力との論理積によって生成される信号を k 段目の走査用パルス信号として出力する出力回路と、

を有し、

前記 n 段の転送段において奇数段の転送段と偶数段の転送段を交互に駆動させることによって、前記出力回路より n 段の走査用パルス信号を 1 段毎に順次出力することを特徴とする走査回路。

【請求項 2】 直列に接続される n (n は 2 以上の整数) 段の転送段と、

互いに逆位相となる第 1 パルス及び第 2 パルスが入力され、前記 n 段の転送段うち奇数段の転送段の出力と前記第 1 パルスとの論理積を求める第 1 論理ゲート回路と、前記 n 段の転送段うち偶数段の転送段の出力と前記第 2 パルスとの論理積を求める第 2 論理ゲート回路とで構成される出力回路と、

を有し、

前記 n 段の転送段において奇数段の転送段と偶数段の転送段を交互に駆動させるとともに、前記出力回路内の前記第 1 及び第 2 論理ゲート回路を前記第 1 及び第 2 パルスで交互に駆動させることによって、前記出力回路より n 段の走査用パルス信号を 1 段毎に順次出力することを特徴とする走査回路。

【請求項 3】 前記 n 段の転送段のうち奇数段の転送段の駆動が開始した後、前記第 1 論理ゲート回路の駆動が開始し、

前記 n 段の転送段のうち偶数段の転送段の駆動が開始した後、前記第 2 論理ゲート回路の駆動が開始することを特徴とする請求項 2 に記載の走査回路。

【請求項 4】 前記転送段が、

前段の転送段の出力が一端に与えられるスイッチと、

該スイッチの他端に入力側が接続されるとともに、出力側が後段の転送段のスイッチに接続されるバッファと、

を備えることを特徴とする請求項1～請求項3のいずれかに記載の走査回路。

【請求項5】 第1クロック及び第2クロックが異なるタイミングで入力されるとともに、第1クロックが入力された後に第2クロックが入力されたときに入力側に与えられる信号を出力側に出力するように転送動作を行う x (x は2以上の整数) 段の第1転送段と、

第1クロック及び第2クロックが異なるタイミングで入力されるとともに、第2クロックが入力された後に第1クロックが入力されたときに入力側に与えられる信号を出力側に出力するように転送動作を行う y (y は、 $x-1$ 又は x) 段の第2転送段と、

a (a は、 $1 \leq a \leq y$ の自然数) 段目の第1転送段の出力と a 段目の第2転送段の出力との論理積によって生成される信号を $2a-1$ 段目の走査用パルス信号として出力するとともに、 b (b は、 $1 \leq b \leq x-1$ の自然数) $+1$ 段目の第1転送段の出力と b 段目の第2転送段の出力との論理積によって生成される信号を $2b$ 段目の走査用パルス信号として出力する出力回路と、

を有し、

前記出力回路より $x+y-1$ 段の走査用パルス信号を1段毎に順次出力することを特徴とする走査回路。

【請求項6】 前記第1転送段が、

前段の第1転送段の出力が一端に与えられるとともに、前記第1クロックでONとなる第1スイッチと、

該第1スイッチの他端に入力側が接続される第1インバータと、

該第1インバータに出力側に一端が接続されるときに、前記第2クロックでONとなる第2スイッチと、

該第2スイッチの他端に入力側が接続されるときに、出力側が後段の第1転送段の第1スイッチに接続される第2インバータと、

を備え、

前記第2転送段が、

前段の第2転送段の出力が一端に与えられるとともに、前記第2クロックでONとなる第3スイッチと、

該第 3 スイッチの他端に入力側が接続される第 3 インバータと、

該第 3 インバータに出力側に一端が接続されるとともに、前記第 1 クロックで ON となる第 4 スイッチと、

該第 4 スイッチの他端に入力側が接続されるとともに、出力側が後段の第 2 転送段の第 3 スイッチに接続される第 4 インバータと、

を備えることを特徴とする請求項 5 に記載の走査回路。

【請求項 7】 請求項 1 ～請求項 6 に記載の走査回路を有することを特徴とする撮像装置。

【請求項 8】 前記走査回路を水平走査回路とすることを特徴とする請求項 7 に記載の撮像装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、撮像装置や画像表示装置に使用される走査回路に関するもので、特に、高速動作に適した走査回路に関する。

【 0 0 0 2 】

【従来の技術】

図 8 のブロック回路図に、従来より撮像装置や画像表示装置に使用されている走査回路の内部構成を示す。図 8 に示す走査回路は、2 つのスイッチと 2 つのインバータで構成されるとともにパルスを送送する転送段を n 段備える。即ち、 k (k は、 $1 \leq k \leq n$ の自然数) 段目の転送段 $t a k$ は、一端に転送段 $t a k - 1$ からの出力が入力されるスイッチ $s k a$ と、スイッチ $s k a$ の他端に入力側が接続されたインバータ $i k a$ と、インバータ $i k a$ の出力側に一端が接続されたスイッチ $s k b$ と、スイッチ $s k b$ の他端に入力側が接続されたインバータ $i k b$ と、から構成される (図 8 には、3 段目までを図示している)。そして、インバータ $i n b$ からの出力が転送段 $t a k$ の出力 $out k$ となる。この出力 $out k$ は、例えば、撮像装置内の固体撮像素子に図 8 の走査回路が設けられるとき、固体撮像素子を走査するための信号として出力される。

【 0 0 0 3 】

図 8 の走査回路は、転送段各段に設けられたスイッチを交互に動作させるためのクロック Xa 、 Xb が、交互に与えられる。このとき、 k 段目の転送段 tak において、クロック Xa がハイレベルのとき、スイッチ ska が ON となり、又、クロック Xb がハイレベルのとき、スイッチ $s kb$ が ON となる。

【 0 0 0 4 】

よって、転送段 $tak-1$ の出力 $outk-1$ がハイレベルのパルス信号として出力されているとき、クロック Xa が与えられてスイッチ ska が ON されると、スイッチ ska を介して、インバータ ika にハイレベルの信号が入力され、インバータ ika よりローレベルの信号が出力される。次に、スイッチ ska が OFF となり、クロック Xb が与えられてスイッチ $s kb$ が ON とされると、スイッチ $s kb$ を介して、インバータ ikb にローレベルの信号が入力され、インバータ ikb よりハイレベルの信号が転送段 tak の出力 $outk$ として出力される。このとき、転送段 $tak-1$ の出力 $outk-1$ はローレベルとなる。

【 0 0 0 5 】

その後、再び、クロック Xa が与えられてスイッチ ska が ON されると、スイッチ ska を介して、インバータ ika にローレベルの信号が入力され、インバータ ika よりハイレベルの信号が出力される。次に、クロック Xb が与えられてスイッチ $s kb$ が ON とされると、スイッチ $s kb$ を介して、インバータ ikb にハイレベルの信号が入力され、インバータ ikb よりローレベルの信号が転送段 tak の出力 $outk$ として出力される。

【 0 0 0 6 】

即ち、図 8 に示す転送段 $t a 1 \sim t a n$ は、1 段目の転送段 $t a 1$ が図 9 のようなクロック Xb がローレベルの間にハイレベルとなるスタートパルスを与えられる場合において、ハイレベルのスタートパルスが与えられる間にクロック Xa が与えられると、スイッチ $s 1a \sim s na$ が ON となる。このとき、インバータ $i 1a$ の出力がローレベルとなるとともに、インバータ $i 2a \sim i na$ の出力がハイレベルとなる。

【 0 0 0 7 】

そして、スタートパルスをローレベルとするとともにクロック Xb が与えられ

ると、スイッチ $s_{1b} \sim s_{nb}$ が ON となる。このとき、インバータ i_{1b} の出力がハイレベルとなるとともに、インバータ $i_{2b} \sim i_{nb}$ の出力がローレベルとなる。よって、図 9 のように、転送段 t_{a1} の出力 out_1 がハイレベルとなるとともに、転送段 $t_{a2} \sim t_{an}$ の出力 $out_2 \sim out_n$ がローレベルとなる。

【 0 0 0 8 】

その後、再び、クロック X_a が与えられたとき、スイッチ $s_{1a} \sim s_{na}$ が ON となり、インバータ i_{2a} の出力がローレベルとなるとともに、インバータ i_{1a} , $i_{3a} \sim i_{na}$ の出力がハイレベルとなる。そして、クロック X_b が与えられると、スイッチ $s_{1b} \sim s_{nb}$ が ON となり、インバータ i_{2b} の出力がハイレベルとなるとともに、インバータ i_{1b} , $i_{3b} \sim i_{nb}$ の出力がローレベルとなる。よって、図 9 のように、転送段 t_{a2} の出力 out_2 がハイレベルとなるとともに、転送段 t_{a1} , $t_{a3} \sim t_{an}$ の出力 out_1 , $out_3 \sim out_n$ がローレベルとなる。

【 0 0 0 9 】

よって、ハイレベルのクロック X_a , X_b が交互に与えられることによって、図 9 のように、 n 段の転送段 $t_{a1} \sim t_{an}$ の出力 $out_1 \sim out_n$ より、 out_1 , out_2 , out_3 , … の順に、走査用の信号であるハイレベルのパルス信号として出力される。この出力 out_k の出力波形の幅（パルス幅）は、クロック X_a , X_b の 1 周期の長さと同しくなる。

【 0 0 1 0 】

【発明が解決しようとする課題】

このようにして走査用の信号を出力する従来の走査回路は、クロック X_a , X_b が交互に且つ互いに重ならないように与えられるため、1 クロックのパルス幅が、出力 out_k のパルス幅の $1/2$ 未満の長さとする必要がある。一方、外部より入力されるクロック X_a , X_b の周波数には上限がある。従って、走査回路からの出力 out_k のパルス幅の長さは、限界となるクロック X_a , X_b のクロック周波数に応じた長さまでしか短くできない。よって、このような走査回路を有する撮像装置や画像表示装置の駆動回路の駆動速度が走査回路によって制限されてしまい、十分な高速駆動化が行えないという問題があった。

【 0 0 1 1 】

このような問題を鑑みて、本発明は、従来と同一のクロック周波数のクロックを与えられた場合に、従来よりも速い駆動速度で動作させるのに適した走査回路を提供することを目的とする。

【 0 0 1 2 】

【課題を解決するための手段】

上記目的を達成するために、請求項 1 に記載の走査回路は、直列に接続される n (n は 2 以上の整数) 段の転送段と、 k (k は、 $1 \leq k \leq n$ の自然数) 段目の転送段への入力と、 k 段目の転送段からの出力との論理積によって生成される信号を k 段目の走査用パルス信号として出力する出力回路と、を有し、前記 n 段の転送段において奇数段の転送段と偶数段の転送段を交互に駆動させることによって、前記出力回路より n 段の走査用パルス信号を 1 段毎に順次出力することを特徴とする。

【 0 0 1 3 】

このような走査回路において、1 段目の転送段にハイレベルのスタートパルスが与えられたときに、奇数段の転送段が駆動されると、1 段目の転送段よりハイレベルの信号が出力される。このとき、出力回路を各転送段の入力及び出力の論理積を演算する n 個の論理ゲートで構成すると、ハイレベルのスタートパルスと 1 段目の転送段からのハイレベルの信号が入力される論理ゲートより 1 段目の走査用パルス信号が出力される。

【 0 0 1 4 】

そして、次に、偶数段の転送段が駆動されると、1 段目の転送段よりハイレベルの信号が入力される 2 段目の転送段よりハイレベルの信号が出力される。このとき、1 段目及び 2 段目の転送段それぞれからのハイレベルの信号が入力される論理ゲートより 2 段目の走査用パルス信号が出力される。このように、奇数段及び偶数段の転送段を交互に駆動させることによって、3 段目、4 段目、…、 n 段目の走査用パルスが順に出力回路より出力される。

【 0 0 1 5 】

又、請求項 2 に記載の走査回路は、直列に接続される n (n は 2 以上の整数) 段の転送段と、互いに逆位相となる第 1 パルス及び第 2 パルスが入力され、前記

n 段の転送段うち奇数段の転送段の出力と前記第 1 パルスとの論理積を求める第 1 論理ゲート回路と、前記 n 段の転送段うち偶数段の転送段の出力と前記第 2 パルスとの論理積を求める第 2 論理ゲート回路とで構成される出力回路と、を有し、前記 n 段の転送段において奇数段の転送段と偶数段の転送段を交互に駆動させるとともに、前記出力回路内の前記第 1 及び第 2 論理ゲート回路を前記第 1 及び第 2 パルスで交互に駆動させることによって、前記出力回路より n 段の走査用パルス信号を 1 段毎に順次出力することを特徴とする。

【 0 0 1 6 】

このような走査回路において、1 段目の転送段にハイレベルのスタートパルスが与えられたときに、奇数段の転送段が駆動されると、1 段目の転送段よりハイレベルの信号が出力される。このとき、第 1 論理ゲート回路を各転送段の入力と第 1 パルスとの論理積を演算する複数の論理ゲートで構成すると、奇数段の転送段の駆動と同時に第 1 パルスが与えられ、この第 1 パルスと 1 段目の転送段からのハイレベルの信号が入力される論理ゲートより 1 段目の走査用パルス信号が出力される。

【 0 0 1 7 】

そして、次に、偶数段の転送段が駆動されると、1 段目の転送段よりハイレベルの信号が入力される 2 段目の転送段よりハイレベルの信号が出力される。このとき、第 2 論理ゲート回路を各転送段の入力と第 2 パルスとの論理積を演算する複数の論理ゲートで構成すると、偶数段の転送段の駆動と同時に第 2 パルスが与えられ、この第 2 パルスと 2 段目の転送段からのハイレベルの信号が入力される論理ゲートより 2 段目の走査用パルス信号が出力される。このように、奇数段及び偶数段の転送段を交互に駆動させるとともに互いに逆位相となる第 1 及び第 2 パルスを出力回路に与えることによって、3 段目、4 段目、…、n 段目の走査用パルスが順に出力回路より出力される。

【 0 0 1 8 】

このような走査回路において、請求項 3 に記載するように、前記 n 段の転送段のうち奇数段の転送段の駆動を開始した後、前記第 1 論理ゲート回路の駆動を開始させ、前記 n 段の転送段のうち偶数段の転送段の駆動を開始した後、前記第 2

論理ゲート回路の駆動を開始させる。

【 0 0 1 9 】

請求項 4 に記載の走査回路は、請求項 1 ～請求項 3 のいずれかに記載の走査回路。において、前記転送段が、前段の転送段の出力が一端に与えられるスイッチと、該スイッチの他端に入力側が接続されるとともに、出力側が後段の転送段のスイッチに接続されるバッファと、を備えることを特徴とする

【 0 0 2 0 】

請求項 5 に記載の走査回路は、第 1 クロック及び第 2 クロックが異なるタイミングで入力されるとともに、第 1 クロックが入力された後に第 2 クロックが入力されたときに入力側に与えられる信号を出力側に出力するように転送動作を行う x (x は 2 以上の整数) 段の第 1 転送段と、第 1 クロック及び第 2 クロックが異なるタイミングで入力されるとともに、第 2 クロックが入力された後に第 1 クロックが入力されたときに入力側に与えられる信号を出力側に出力するように転送動作を行う y (y は、 $x - 1$ 又は x) 段の第 2 転送段と、 a (a は、 $1 \leq a \leq y$ の自然数) 段目の第 1 転送段の出力と a 段目の第 2 転送段の出力との論理積によって生成される信号を $2a - 1$ 段目の走査用パルス信号として出力するとともに、 b (b は、 $1 \leq b \leq x - 1$ の自然数) $+ 1$ 段目の第 1 転送段の出力と b 段目の第 2 転送段の出力との論理積によって生成される信号を $2b$ 段目の走査用パルス信号として出力する出力回路と、を有し、前記出力回路より $x + y - 1$ 段の走査用パルス信号を 1 段毎に順次出力することを特徴とする。

【 0 0 2 1 】

このような走査回路において、1 段目の第 1 及び第 2 転送段にハイレベルのスタートパルスが与えられたときに、第 1 クロック及び第 2 クロックを順次入力すると、1 段目の第 1 転送段よりハイレベルの信号が出力される。そして、第 1 クロックを再び入力すると、1 段目の第 2 転送段よりハイレベルの信号が出力される。このとき、出力回路を第 1 転送段の出力と第 2 転送段の出力との論理積を演算する複数の論理ゲートで構成すると、1 段目の第 1 及び第 2 転送段からのハイレベルの信号が入力される論理ゲートより 1 段目の走査用パルス信号が出力される。

【 0 0 2 2 】

そして、第2クロックを再び入力すると、2段目の第1転送段よりハイレベルの信号が出力される。このとき、1段目の第2転送段からの入レベルの信号と2段目の第1転送段からのハイレベルの信号が入力される論理ゲートより2段目の走査用パルス信号が出力される。このように、第1及び第2転送段に対して、第1及び第2クロックを交互に入力することによって、3段目、4段目、…、n段目の走査用パルスが順に出力回路より出力される。

【 0 0 2 3 】

請求項6に記載の走査回路は、請求項5に記載の走査回路において、前記第1転送段が、前段の第1転送段の出力が一端に与えられるとともに、前記第1クロックでONとなる第1スイッチと、該第1スイッチの他端に入力側が接続される第1インバータと、該第1インバータに出力側に一端が接続されるときともに、前記第2クロックでONとなる第2スイッチと、該第2スイッチの他端に入力側が接続されるときともに、出力側が後段の第1転送段の第1スイッチに接続される第2インバータと、を備え、前記第2転送段が、前段の第2転送段の出力が一端に与えられるとともに、前記第2クロックでONとなる第3スイッチと、該第3スイッチの他端に入力側が接続される第3インバータと、該第3インバータに出力側に一端が接続されるときともに、前記第1クロックでONとなる第4スイッチと、該第4スイッチの他端に入力側が接続されるときともに、出力側が後段の第2転送段の第3スイッチに接続される第4インバータと、を備えることを特徴とする。

【 0 0 2 4 】

請求項7に記載の撮像装置は、請求項1～請求項6に記載の走査回路を有することを特徴とする。

【 0 0 2 5 】

このような撮像装置において、請求項8に記載するように、前記走査回路を水平走査回路とすることで、高速駆動の必要な水平走査回路を低い周波数のクロックで十分に動作させることができる。

【 0 0 2 6 】

【発明の実施の形態】

本発明の実施の形態について、以下に説明する。

【0027】

＜第1の実施形態＞

本発明の第1の実施形態について、図面を参照して説明する。図1は、本実施形態の走査回路の内部構成を示すブロック回路図である。図2は、本実施形態の走査回路の動作を示すタイミングチャートである。

【0028】

図1の走査回路は、入力側にスタートパルスが入力されるバッファb0と、直列に接続されるn（nは2以上の整数）段の転送段T1～Tnと、転送段T1～Tnそれぞれに入力される信号と出力される信号が入力されるn個のAND回路A1～Anとで構成される（図1には、6段目までを図示している）。そして、転送段T1～Tnそれぞれは、1つのスイッチと1つのバッファで構成される。即ち、k（kは、 $1 \leq k \leq n$ の自然数）段目の転送段Tkは、一端に転送段Tk-1からの出力が入力されるスイッチskx（xは、a，b何れかを表す）と、スイッチskxの他端に入力側が接続されたバッファbkとから構成される。スイッチskxの一端及びバッファbkの出力側が、AND回路Akの入力側に接続される。このAND回路Akの出力outkが走査用の信号となる。

【0029】

この走査回路は、転送段T1～Tnのうち、奇数段の転送段に設けられたスイッチと偶数段の転送段に設けられたスイッチとを交互に動作させるためのクロックXa，Xbが、交互に与えられる。よって、クロックXaがハイレベルのとき、転送段T1，T3，T5，…のスイッチs1a，s3a，s5a，…がそれぞれONとなり、又、クロックXbがハイレベルのとき、転送段T2，T4，T6，…のスイッチs2b，s4b，s6b，…がそれぞれONとなる。

【0030】

このように構成される走査回路に、図2のようなクロックXbがローレベルの間にハイレベルとなるスタートパルスが、バッファb0を介して、1段目の転送段T1に与えられる。そして、スタートパルスがハイレベルの間にクロックXa

が与えられると、奇数段の転送段 T 1, T 3, T 5, …のスイッチ s 1a, s 3a, s 5a, …がそれぞれ ON となる。よって、バッファ b 0 を介してスタートパルスが与えられる転送段 T 1 のバッファ b 1 にのみハイレベルの信号が入力された状態であるので、転送段 T 1 のスイッチ s 1a 及びバッファ b 1 を介して、ハイレベルの信号が出力される。

【 0 0 3 1 】

このとき、転送段 T 1 に入力される信号がハイレベルであるとともに転送段 T 1 から出力される信号がハイレベルとなり、AND 回路 A 1 への 2 入力が高レベルとなるため、AND 回路 A 1 からの出力 out1 がハイレベルとなる。そして、スイッチ s 1a, s 3a, s 5a, …がそれぞれ OFF となった後、スタートパルスがローレベルになるとともに、クロック X b が与えられると、AND 回路 A 1 への一方の入力がローレベルとなるため、出力 out1 がローレベルとなる。

【 0 0 3 2 】

又、このとき、偶数段の転送段 T 2, T 4, T 6, …のスイッチ s 2b, s 4b, s 6b, …がそれぞれ ON となる。よって、今、転送段 T 1 に接続された転送段 T 2 のバッファ b 2 にのみハイレベルの信号が与えられた状態であるので、転送段 T 2 のスイッチ s 2b 及びバッファ b 2 を介して、ハイレベルの信号が出力される。このとき、転送段 T 2 に入力される信号がハイレベルであるとともに転送段 T 2 から出力される信号がハイレベルとなり、AND 回路 A 2 への 2 入力が高レベルとなるため、AND 回路 A 2 からの出力 out2 がハイレベルとなる。

【 0 0 3 3 】

そして、スイッチ s 2b, s 4b, s 6b, …が OFF となった後、再び、クロック X a が与えられると、奇数段の転送段 T 1, T 3, T 5, …のスイッチ s 1a, s 3a, s 5a, …がそれぞれ ON となるため、転送段 T 2 よりハイレベルの信号が入力される転送段 T 3 以外の奇数段の転送段には、ローレベルの信号が入力されることになる。このとき、転送段 T 1 にもローレベルの信号が入力されるため、転送段 T 1 のスイッチ s 1a 及びバッファ b 1 を介して出力されるローレベルの信号が AND 回路 A 2 へ入力されるため、出力 out1 がローレベルとなる。

【 0 0 3 4 】

又、転送段T 3 が、スタートパルスが与えられるとともにクロックX a が与えられたときの転送段T 1 と同様の動作を行う。よって、転送段T 3 に入力される信号がハイレベルであるとともに転送段T 3 から出力される信号がハイレベルとなり、AND回路A 3 からの出力out3がハイレベルとなる。

【 0 0 3 5 】

そして、スイッチs 1a, s 3a, s 5a, …がOFFとなった後、再び、クロックX b が与えられると、転送段T 2 が、クロックX a が与えられて出力out3が出力されるときに転送段T 1 と同様の動作を行うので、転送段T 2 より出力される信号がローレベルとなる。又、転送段T 4 が、クロックX b が与えられて出力out2が出力されるときに転送段T 2 と同様の動作を行うので、転送段T 4 に入力される信号がハイレベルであるとともに転送段T 4 から出力される信号がハイレベルとなり、AND回路A 4 からの出力out4がハイレベルとなる。

【 0 0 3 6 】

このように、クロックX a, X b を交互に与えて、奇数段の転送段T 1, T 3, T 5, …及び偶数段の転送段T 2, T 4, T 6, …を交互に駆動させることによって、AND回路A 1 ~ A n より、出力out1~outnを、out1, out2, out3, …, outnの順に、走査用のパルス信号として出力させることができる。

【 0 0 3 7 】

このようにすることで、外部からの走査回路に入力するクロックX a, X b のパルス幅を、出力outkのパルス幅の等倍未満の長さとすることができ、従来と比べて、2 倍の長さとする事ができる。よって、従来よりも低い周波数のクロックで、走査回路から高速走査用のパルス信号を出力させることができる。

【 0 0 3 8 】

＜第 2 の実施形態＞

本発明の第 2 の実施形態について、図面を参照して説明する。図 3 は、本実施形態の走査回路の内部構成を示すブロック回路図である。図 4 は、本実施形態の走査回路の動作を示すタイミングチャートである。尚、図 3 の走査回路において、図 1 の走査回路と同一の部分については、同一の符号を付して、その詳細な説明は省略する。

【 0 0 3 9 】

図 3 の走査回路は、直列に接続される n (n は 2 以上の整数) 段の転送段 $T_1 \sim T_n$ と、転送段 $T_1 \sim T_n$ それぞれから出力される信号が入力される n 個の AND 回路 $a_1 \sim a_n$ とで構成される。転送段 T_k は、第 1 の実施形態 (図 1) と同様、スイッチ s_{kx} とバッファ b_k とで構成される (図 3 には、6 段目までを図示している)。尚、本実施形態では、第 1 の実施形態と異なり、第 1 段目の転送段 T_1 に直接スタートパルスが入力される。

【 0 0 4 0 】

この走査回路は、転送段 $T_1 \sim T_n$ のうち、奇数段の転送段に設けられたスイッチと偶数段の転送段に設けられたスイッチとを交互に動作させるためのクロック X_a , X_b が、交互に与えられる。又、AND 回路 $a_1 \sim a_n$ のうち、奇数段の転送段より出力される信号が一方の入力として与えられる AND 回路の他方の入力にゲートパルス G_b が与えられ、又、偶数段の転送段より出力される信号が一方の入力として与えられる AND 回路の他方の入力にゲートパルス G_a が与えられる。このゲートパルス G_a , G_b は、互いに逆位相で与えられるとともに、そのパルス幅を出力 out_k のパルス幅とほぼ同一の長さとする。

【 0 0 4 1 】

このように構成される走査回路に、図 4 のようなクロック X_b がローレベルの間にハイレベルとなるスタートパルスが 1 段目の転送段 T_1 に与えられる。そして、スタートパルスがハイレベルの間にクロック X_a が与えられるとともにゲートパルス G_a が与えられる。このとき、クロック X_a によって、奇数段の転送段 T_1 , T_3 , T_5 , ... のスイッチ s_{1a} , s_{3a} , s_{5a} , ... がそれぞれ ON となる。よって、スタートパルスが与えられる転送段 T_1 のバッファ b_1 にのみハイレベルの信号が入力された状態であるので、転送段 T_1 のスイッチ s_{1a} 及びバッファ b_1 を介して、ハイレベルの信号が出力される。

【 0 0 4 2 】

又、ハイレベルのゲートパルス G_a が AND 回路 a_2 , a_4 , a_6 , ... に与えられるため、偶数段の転送段 T_2 , T_4 , T_6 , ... からの出力が、AND 回路 a_2 , a_4 , a_6 , ... の出力 out_2 , out_4 , out_6 , ... として現れる。しかし、スター

トパルスが与えられる転送段 T 1 からのみハイレベルとなる信号が出力されるため、AND回路 a 2, a 4, a 6, …の出力out2, out4, out6, …は、ローレベルである。

【 0 0 4 3 】

又、AND回路 a 1, a 3, a 5, …に入力されるゲートパルス G b がローレベルであるため、AND回路 a 1, a 3, a 5, …の出力out1, out3, out5, …は、ローレベルである。転送段 T 1 から出力されるハイレベルの信号は、スタートパルスがローレベルとなった後に次のクロック X a が与えられるまで保持される。

【 0 0 4 4 】

そして、スタートパルス及びゲートパルス G a がローレベルとなるとともに、クロック X b 及びゲートパルス G b が与えられると、ゲートパルス G a が入力されるAND回路 a 2, a 4, a 6, …の出力out2, out4, out6, …が、ローレベルとなる。このとき、クロック X b によって、偶数段の転送段 T 2, T 4, T 6, …のスイッチ s 2b, s 4b, s 6b, …がそれぞれONとなる。よって、転送段 T 1 からハイレベルの信号が与えられる転送段 T 2 のバッファ b 2 にのみハイレベルの信号が入力された状態であるので、転送段 T 2 のスイッチ s 2b 及びバッファ b 2 を介して、ハイレベルの信号が出力される。

【 0 0 4 5 】

又、ハイレベルのゲートパルス G b がAND回路 a 1, a 3, a 5, …に与えられるため、奇数段の転送段 T 1, T 3, T 5, …からの出力が、AND回路 a 1, a 3, a 5, …の出力out1, out3, out5, …として現れる。よって、転送段 T 1 においてハイレベルの信号が保持されているため、AND回路 a 1 の出力out1のみがハイレベルとなる。このゲートパルス G b がハイレベルである間、AND回路 a 1 の出力out1はハイレベルとなる。又、転送段 T 2 から出力されるハイレベルの信号は、次のクロック X b が与えられるまで保持される。

【 0 0 4 6 】

そして、ゲートパルス G b がローレベルとなるとともに、再び、クロック X a 及びゲートパルス G a が与えられると、ゲートパルス G b が入力されるAND回

路 a_1 , a_3 , a_5 , … の出力 out_1 , out_3 , out_5 , … が、ローレベルとなる。このとき、クロック X_a によって、 T_1 , T_3 , T_5 , … のスイッチ s_{1a} , s_{3a} , s_{5a} , … がそれぞれ ON となるため、転送段 T_2 よりハイレベルの信号が入力される転送段 T_3 からのみハイレベルの信号が出力される。又、転送段 T_2 においてハイレベルの信号が保持されているため、転送段 T_2 からのハイレベルの信号とハイレベルのゲートパルス G_a が入力される AND ゲート a_2 からの出力 out_2 のみがハイレベルとなる。

【 0 0 4 7 】

このように、クロック X_a , X_b を交互に与えて、奇数段の転送段 T_1 , T_3 , T_5 , … 及び偶数段の転送段 T_2 , T_4 , T_6 , … を交互に駆動させるとともに、ゲートパルス G_b , G_a を交互に与えて、AND 回路 a_1 , a_3 , a_5 , … 及び AND 回路 a_2 , a_4 , a_6 , … を交互に駆動させることによって、AND 回路 $a_1 \sim a_n$ より、出力 $out_1 \sim out_n$ を、 out_1 , out_2 , out_3 , …, out_n の順に、走査用のパルス信号として出力させることができる。

【 0 0 4 8 】

このようにすることで、外部からの走査回路に入力するクロック X_a , X_b のパルス幅を、出力 out_k のパルス幅の等倍未満の長さとすることができ、従来と比べて、2 倍の長さとすることができる。よって、従来よりも低い周波数のクロックで、走査回路から高速走査用のパルス信号を出力させることができる。又、出力 out_k のパルス幅がゲートパルス G_a , G_b のパルス幅によって決定される。よって、ゲートパルスのパルス幅を調整することによって走査用のパルス信号のパルス幅を設定することができる。

【 0 0 4 9 】

＜第 3 の実施形態＞

本発明の第 3 の実施形態について、図面を参照して説明する。図 5 は、本実施形態の走査回路の内部構成を示すブロック回路図である。図 6 は、本実施形態の走査回路の動作を示すタイミングチャートである。尚、図 5 の走査回路において、図 8 の走査回路と同一の部分については、同一の符号を付して、その詳細な説明は省略する。

【 0 0 5 0 】

図 5 の走査回路は、直列に接続される m (m は 2 以上の整数) 段の転送段 $t a_1 \sim t a_m$ と、直列に接続される m 段の転送段 $t b_1 \sim t b_m$ と、転送段 $t a_1 \sim t a_m$ それぞれから出力される信号と転送段 $t b_1 \sim t b_m$ それぞれから出力される信号とが入力される $2m-1$ 個の AND 回路 $\alpha_1 \sim \alpha_{2m-1}$ とで構成される (図 5 では、それぞれ 3 段目までを図示している)。転送段 $t a_k$ (k は、 $1 \leq k \leq m$ の自然数) は、従来 (図 8) と同様、スイッチ s_{ka} , s_{kb} とインバータ i_{ka} , i_{kb} とで構成される。

【 0 0 5 1 】

又、転送段 $t b_k$ は、一端に転送段 $t b_{k-1}$ からの出力が入力されるスイッチ s_{kb} と、スイッチ s_{kb} の他端に入力側が接続されたインバータ i_{kb} と、インバータ i_{kb} の出力側に一端が接続されたスイッチ s_{ka} と、スイッチ s_{ka} の他端に入力側が接続されたインバータ i_{ka} と、から構成される。尚、本実施形態では、第 1 段目の転送段 $t a_1$, $t b_1$ に直接スタートパルスが入力される。

【 0 0 5 2 】

このように転送段 $t a_1 \sim t a_m$, $t b_1 \sim t b_m$ が構成されるとき、転送段 $t a_k$ 及び転送段 $t b_k$ から出力される信号が AND 回路 α_{2k-1} に入力され、又、転送段 $t a_{k+1}$ 及び転送段 $t b_k$ から出力される信号が AND 回路 α_{2k} に入力される。そして、転送段 $t a_1 \sim t a_m$, $t b_1 \sim t b_m$ それぞれに設けられたスイッチ $s_{1a} \sim s_{ma}$, $s_{1b} \sim s_{mb}$ を交互に動作させるためのクロック X_a , X_b が、交互に与えられる。

【 0 0 5 3 】

このとき、転送段 $t a_k$, $t b_k$ において、クロック X_a がハイレベルのとき、スイッチ s_{ka} が ON となり、又、クロック X_b がハイレベルのとき、スイッチ s_{kb} が ON となる。そして、AND 回路 $\alpha_1 \sim \alpha_{2m-1}$ の出力 $out_1 \sim out_{2m-1}$ が走査用の信号となる。又、転送段 $t a_k$ の出力が転送段 $t a_k$ 内に備えられたインバータ i_{kb} の出力であり、転送段 $t b_k$ の出力が転送段 $t b_k$ 内に備えられたインバータ i_{ka} の出力である。

【 0 0 5 4 】

このように構成される走査回路に、図6のように、クロックXbが発生してから2度目のクロックXaが発生するまでの間にハイレベルとなるスタートパルスが、1段目の転送段t a 1, t b 1それぞれに与えられる。そして、スタートパルスがハイレベルの間に、まず、クロックXaが与えられる。このとき、転送段t a 1～t a m, t b 1～t b mのスイッチs 1a～s maがそれぞれONとなる。よって、転送段t a 1において、スイッチs 1aを介して、ハイレベルのスタートパルスがインバータi 1aに与えられ、インバータi 1aよりローレベルの信号が出力される。

【0055】

そして、次に、クロックXbが与えられる。このとき、転送段t a 1～t a m, t b 1～t b mのスイッチs 1b～s mbがそれぞれONとなる。よって、転送段t b 1において、スイッチs 1bを介して、ハイレベルのスタートパルスがインバータi 1bに与えられ、インバータi 1bよりローレベルの信号が出力されるとともに、転送段t a 1において、スイッチs 1bを介して、インバータi 1aから出力されるローレベルの信号がインバータi 1bに与えられ、インバータi 1bよりハイレベルの信号が出力される。

【0056】

スタートパルスがローレベルとされた後、再び、クロックXaが与えられると、転送段t a 1～t a m, t b 1～t b mのスイッチs 1a～s maがそれぞれONとなる。よって、転送段t b 1において、スイッチs 1aを介して、インバータi 1bから出力されるローレベルの信号がインバータi 1aに与えられ、インバータi 1aよりハイレベルの信号が出力されるとともに、転送段t a 2において、スイッチs 2aを介して、転送段t a 1から出力されるハイレベルの信号がインバータi 2aに与えられ、インバータi 2aよりローレベルの信号が出力される。

【0057】

このとき、転送段t a 1において、ローレベルの信号が入力されるので、スイッチs 1aを介して、入力されるローレベルの信号がインバータi 1aに与えられ、インバータi 1aよりハイレベルの信号が出力され、又、スイッチs 1bがOFFであるので、インバータi 1bから出力されるハイレベルの信号が保持される。よっ

て、転送段 $t a 1$, $t b 1$ のそれぞれから出力されるハイレベルの信号が AND 回路 $\alpha 1$ に入力されるため、AND 回路 $\alpha 1$ の出力 $out1$ がハイレベルとなる。

【0058】

そして、再び、クロック $X b$ が与えられると、転送段 $t a 1 \sim t a m$, $t b 1 \sim t b m$ のスイッチ $s 1b \sim s mb$ がそれぞれ ON となる。よって、転送段 $t a 2$ において、スイッチ $s 2b$ を介して、インバータ $i 2a$ から出力されるローレベルの信号がインバータ $i 2b$ に与えられ、インバータ $i 2b$ よりハイレベルの信号が出力されるとともに、転送段 $t b 2$ において、スイッチ $s 2b$ を介して、転送段 $t b 1$ から出力されるハイレベルの信号がインバータ $i 2b$ に与えられ、インバータ $i 2b$ よりローレベルの信号が出力される。

【0059】

このとき、転送段 $t a 1$ において、インバータ $i 1a$ より、スイッチ $s 1b$ を介して、ハイレベルの信号がインバータ $i 1b$ に与えられ、インバータ $i 1b$ より出力される信号がローレベルになる。又、転送段 $t b 1$ において、ローレベルの信号が入力されるので、スイッチ $s 1b$ を介して、入力されるローレベルの信号がインバータ $i 1b$ に与えられ、インバータ $i 1b$ よりハイレベルの信号が出力されるとともに、スイッチ $s 1a$ が OFF であるので、インバータ $i 1a$ から出力されるハイレベルの信号が保持される。

【0060】

よって、転送段 $t a 1$, $t b 1$, $t a 2$ のそれぞれから出力される信号が、ローレベル、ハイレベル、ハイレベルとなるため、AND 回路 $\alpha 1$ の出力 $out1$ がローレベルとなるとともに、AND 回路 $\alpha 2$ の出力 $out2$ がハイレベルとなる。

【0061】

このように、クロック $X b$ が与えられる毎に、転送段 $t a 1 \sim t a m$ より、 $t a 1$, $t a 2$, ..., $t a m$ の順にハイレベルのパルス信号が出力され、又、クロック $X a$ が与えられる毎に、転送段 $t b 1 \sim t b m$ より、 $t b 1$, $t b 2$, ..., $t b m$ の順にハイレベルのパルス信号が出力される。よって、クロック $X a$, $X b$ が交互に与えられる毎に、AND 回路 $\alpha 1 \sim \alpha 2 m - 1$ より、出力 $out1 \sim out2 m - 1$ を、 $out1$, $out2$, $out3$, ..., $out2 m - 1$ の順に、走査用のパルス信号として出力

させることができる。

【 0 0 6 2 】

このようにすることで、外部からの走査回路に入力するクロック X_a , X_b のパルス幅を、出力 out_k のパルス幅の等倍未満の長さとすることができ、従来と比べて、2 倍の長さとする事ができる。よって、従来よりも低い周波数のクロックで、走査回路から高速走査用のパルス信号を出力させることができる。尚、本実施形態では、転送段 t_{am} と転送段 t_{bm} とを同数としたが、これに限らず、転送段 t_{bm} を一つ少なくしても良い。この場合は、出力が一つ減り、AND 回路の数は、 $2(m-1)$ 個となる。

【 0 0 6 3 】

< 本発明の走査回路を適用した撮像装置 >

第 1 ～ 第 3 のいずれかの実施形態の走査回路を適用した撮像装置について、図 7 を参照して説明する。図 7 は、第 1 ～ 第 3 のいずれかの実施形態の撮像装置の内部構成を示すブロック図である。

【 0 0 6 4 】

図 7 の撮像装置は、マトリクス状に配された複数の画素を有する固体撮像素子 1 と、固体撮像素子 1 内の画素を行毎に選択するための垂直走査回路 2 と、固体撮像素子 1 内の画素を列毎に選択するための水平走査回路 3 と、固体撮像素子 1 内の各画素からの出力を増幅して出力する出力回路 4 と、を有する。

【 0 0 6 5 】

このような構成の撮像装置は、垂直走査回路 2 が、垂直走査期間毎に固体撮像素子 1 内の 1 行分の画素を切り換えるように、固体撮像素子 1 内の画素を 1 行毎にバイアスして駆動させる。そして、1 垂直走査期間内に、水平走査回路 3 が、出力回路 4 内において固体撮像素子 1 の画素 1 列分毎に対して設けられた出力用スイッチを、順次駆動させることによって、垂直走査回路 2 で駆動させた 1 行分の画素の出力を、出力回路 4 で順次増幅して画素毎に出力する。即ち、固体撮像素子 1 内において、 x 個の画素で 1 行が構成されるとき、垂直走査回路 2 より 1 パルスが出力される間、水平走査回路 3 より x パルスが出力される。

【 0 0 6 6 】

このように、垂直走査回路 2 に比べて、水平走査回路 3 の方が、高速駆動させる必要がある。よって、水平走査回路 3 に、第 1 ～ 第 3 の実施形態における走査回路を用いることによって、外部から入力されるクロックの周波数が低い場合でも、水平走査回路 3 を高速駆動させることができる。

【 0 0 6 7 】

【発明の効果】

このようにすることで、外部からの走査回路に入力するクロックのパルス幅を、走査用パルス信号のパルス幅の等倍未満の長さとすることができ、従来と比べて、約 2 倍の長さとする事ができる。よって、従来よりも低い周波数のクロックで、走査回路から走査用パルス信号を出力させることができる。そのため、高速駆動に適した走査回路となる。又、第 1 及び第 2 パルスのパルス幅を調整することによって走査用パルス信号のパルス幅を設定することができ、走査用パルス信号に確実性を持たすことができる。

【図面の簡単な説明】

【図 1】 第 1 の実施形態の走査回路の内部構成を示すブロック回路図。

【図 2】 第 1 の実施形態の走査回路の動作を示すタイミングチャート。

【図 3】 第 2 の実施形態の走査回路の内部構成を示すブロック回路図。

【図 4】 第 2 の実施形態の走査回路の動作を示すタイミングチャート。

【図 5】 第 3 の実施形態の走査回路の内部構成を示すブロック回路図。

【図 6】 第 3 の実施形態の走査回路の動作を示すタイミングチャート。

【図 7】 本発明の走査回路を有する撮像装置の内部構成を示すブロック図。

【図 8】 従来の走査回路の内部構成を示すブロック回路図。

【図 9】 従来の走査回路の動作を示すタイミングチャート。

【符号の説明】

1 固体撮像素子

2 垂直走査回路

3 水平走査回路

4 出力回路

T 1 ～ T n 転送段

$t a 1 \sim t a m, t b 1 \sim t b m$ 転送段

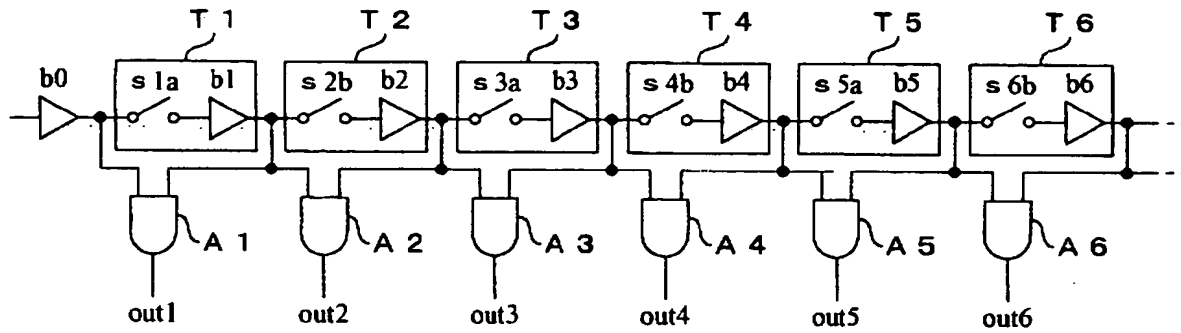
$A 1 \sim A n$ AND回路

$a 1 \sim a n$ AND回路

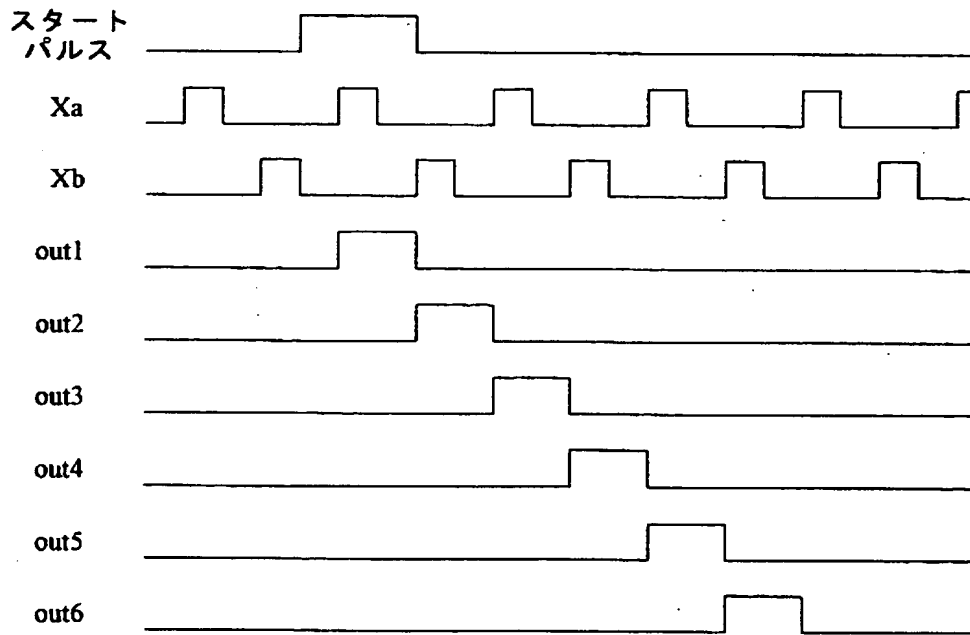
$\alpha 1 \sim \alpha n$ AND回路

【書類名】 図面

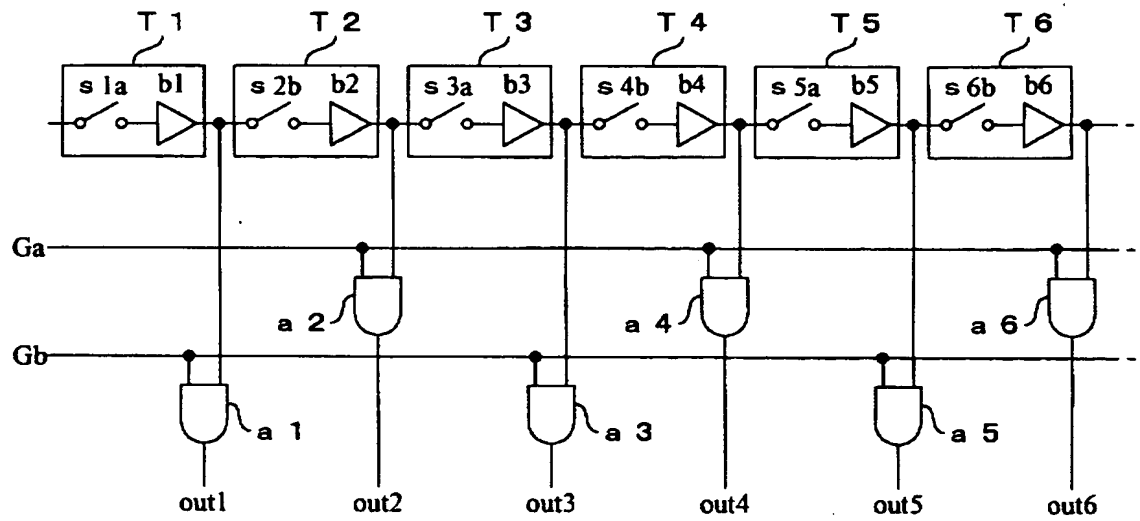
【図 1】



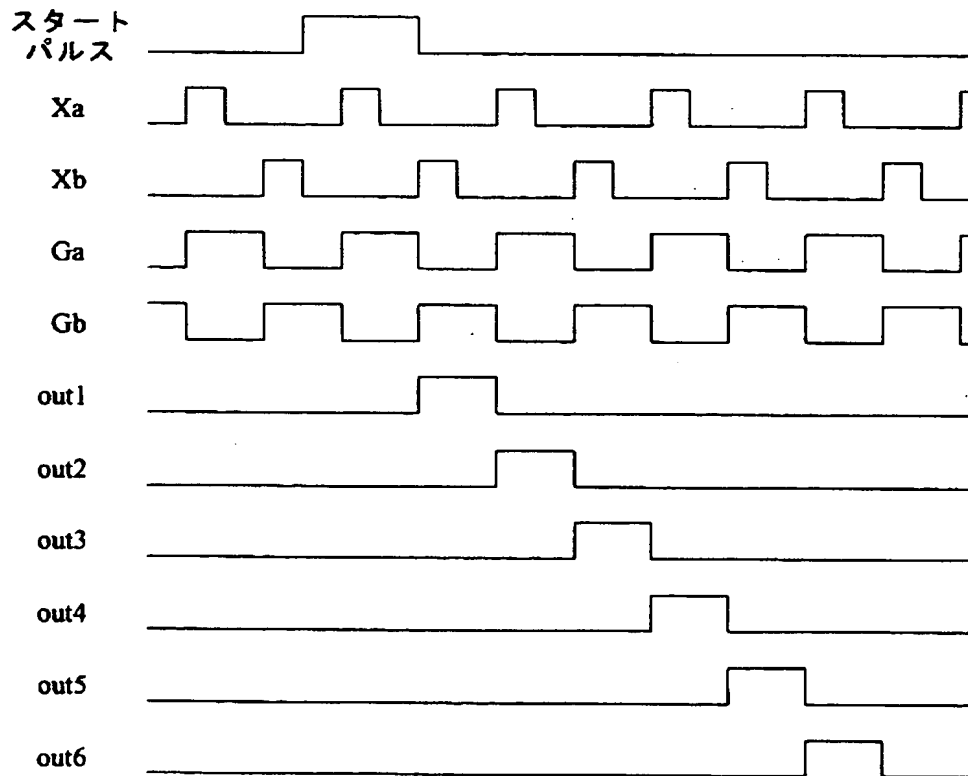
【図 2】



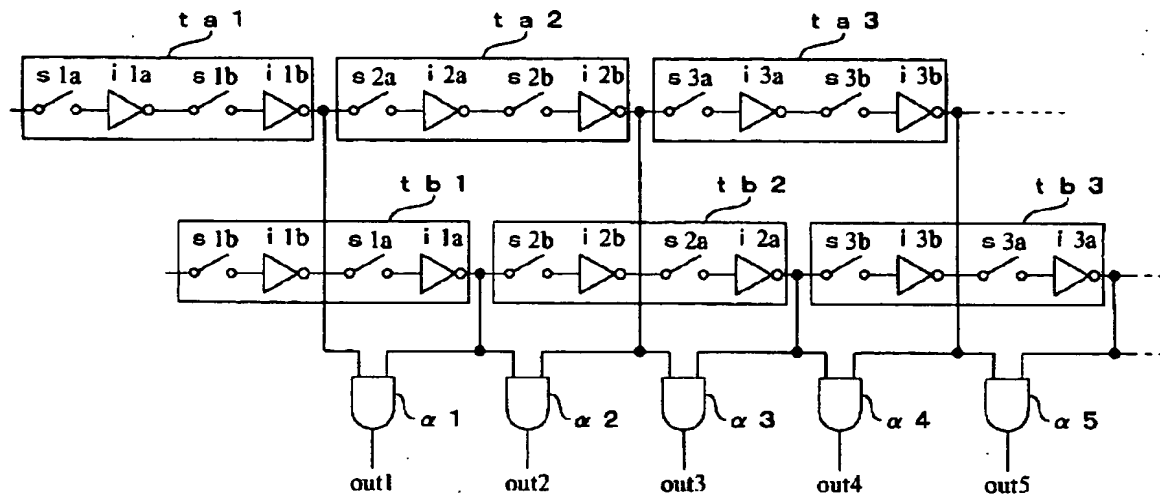
【図 3】



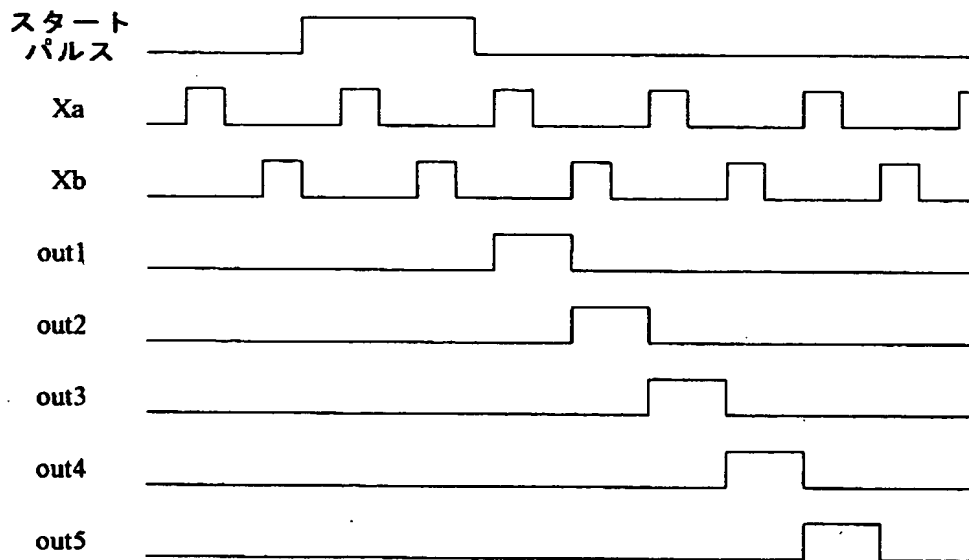
【図 4】



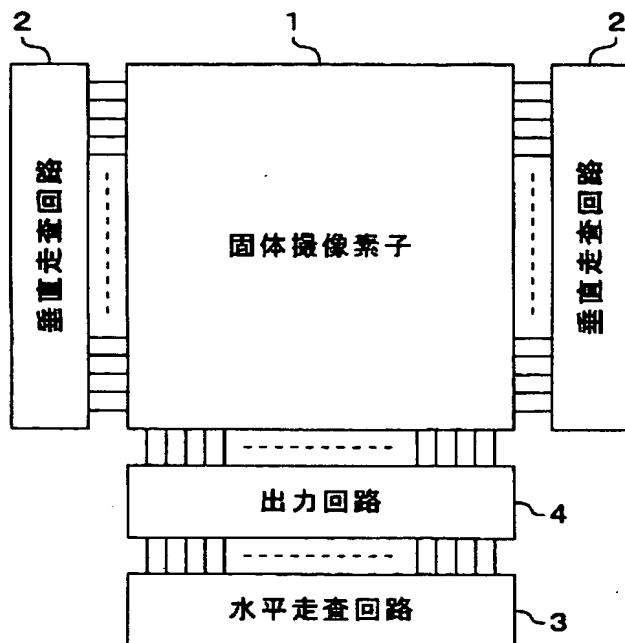
【図 5】



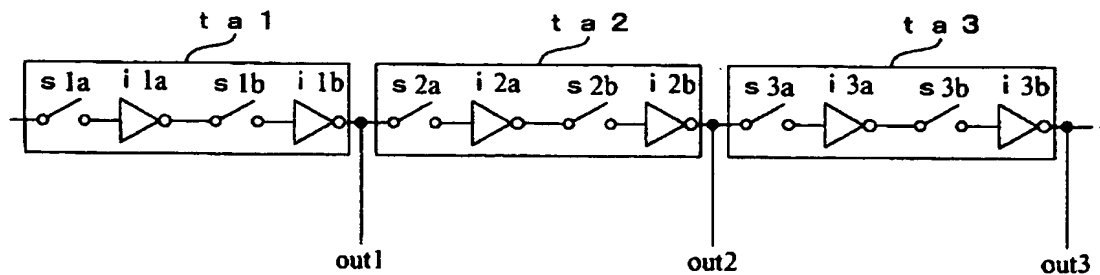
【図 6】



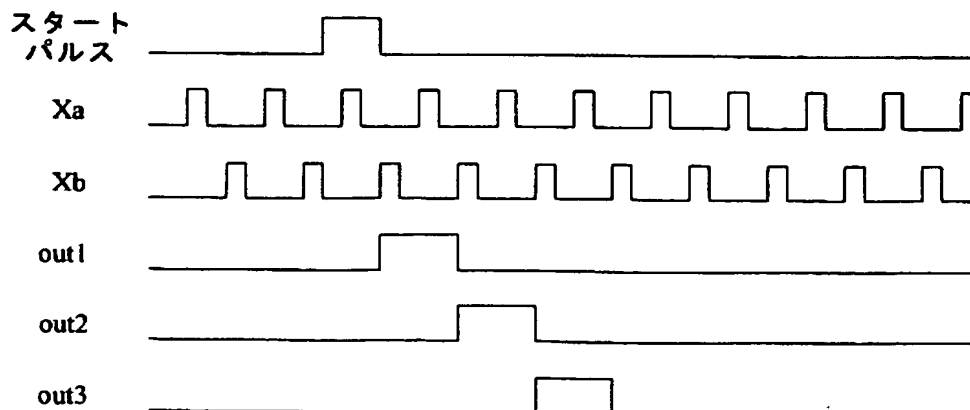
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 本発明は、従来と同一のクロック周波数のクロックを与えられた場合に、従来の倍程度の駆動速度で動作する走査回路を提供することを目的とする。

【解決手段】 転送段 $T_1 \sim T_n$ の内、偶数段と奇数段のスイッチを交互に駆動させることによって、転送段 $T_1 \sim T_n$ において、 T_1, T_2, \dots, T_n の順に、各転送段の入力側と出力側が同時にハイレベルになるようにする。よって、AND回路 $A_1 \sim A_n$ の出力 $out_1 \sim out_n$ が、 $out_1, out_2, \dots, out_n$ の順に、走査用のパルス信号として出力される。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000006079]

1. 変更年月日	1994年 7月20日
[変更理由]	名称変更
住 所	大阪府大阪市中央区安土町二丁目3番13号 大阪国際ビル
氏 名	ミノルタ株式会社